Université de Paris-Saclay
Faculté des sciences d'Orsay
L3 E3A

Électronique numérique

UE-308

TD3 : Circuits séquentiels et machines d'états

Exercice 1

On souhaite réaliser une bascule E qui est basée sur une bascule D avec un signal supplémentaire E. Ce signal E, s'il est à 0, permet de maintenir la sortie Q indépendamment des fronts d'horloge. Si ce signal E est à 1, la bascule D fonctionne normalement. Donner la table de vérité de la bascule E puis proposer un circuit pour la réalisation où on utilisera obligatoirement un multiplexeur.

Exercice 2

On souhaite concevoir un compteur synchrone modulo 5 en code binaire naturel au moyen de bascules D.

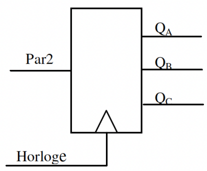
1. Identifier les entrées et sorties (combien faut-il de bascules D ?) puis donner la table de vérité du compteur. Ici, on traitera les états non-utilisés (ou parasites) comme indéfinis [1] « X ou ϕ ».

2. Simplifier les équations des sorties puis, vérifier que les états non-utilisés permettent de revenir à un état utile pour un nombre fini de fronts montants de l'horloge que l'on précisera.

3. Proposer un circuit pour ce compteur.

Exercice 3

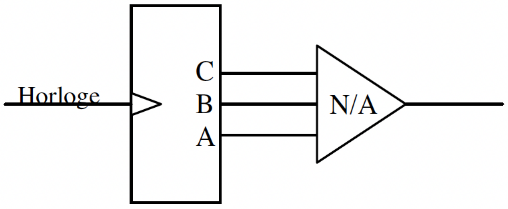
En étendant les résultats de l'exercice 2, concevoir un compteur synchrone modulo 5 en code binaire naturel au moyen de bascules D qui est muni d'une entrée de commande supplémentaire noté $Par2$. Cette entrée permet de compter de 2 en 2 lorsqu'elle est active ($Par2 = 1$) ou, normalement, c'est-à-dire de 1 en 1, lorsqu'elle est inactive ($Par2 = 0$). Ici, on traitera les états non-utilisés (ou parasites) comme indéfinis « X ou ϕ » mais on pensera à vérifier que les états non-utilisés permettent de revenir à un état utile (ou principale) pour un nombre fini de fronts montants de l'horloge que l'on précisera.

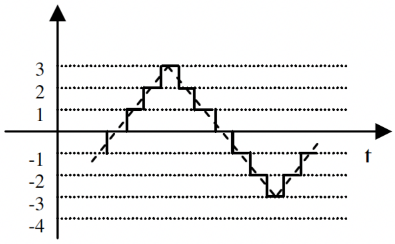


Exercice 4

Dans le but de réaliser un signal triangulaire à partir d'un compteur et d'un convertisseur numérique-analogique, construire un compteur synchrone, à l'aide de bascules D, dont la variable d'état, fournira une séquence binaire codée en signé (complément à 2). La séquence des valeurs sera la suivante : 0 1 2 3 2 1 0 -1 -2 -3 -2 -1 0 ......

1. BLABLA définir mieux en note de bas de page et parler un peu de vocabulaire (compteurs complets/imcomplets etc.) En particulier, on pensera à vérifier que les états non-utilisés permettent de revenir à un état utile (ou principale) pour un nombre fini de fronts montants de l'horloge (parler de puit si on a introduit les machines d'états).





1. Pourquoi n'y a t'il pas 7 états distinct pour ce problème alors qu'il n'y a que 7 valeurs possibles dans la séquence décimale ?

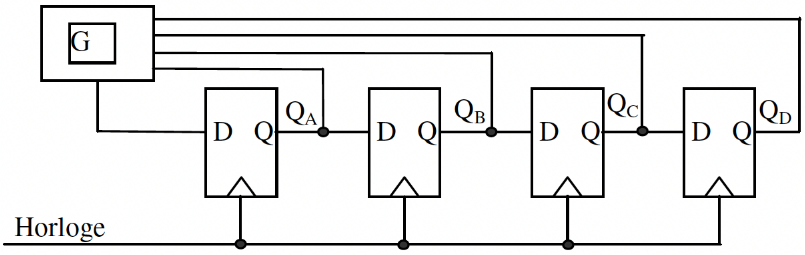
2. Concevoir le montage pour que, quel que soit l'état de départ non-utilisé, la sortie analogique ne présente pas de discontinuités. (A REVOIR ! ! ! ! ! ! ! ! ! ! ! ! ! ! !)

Exercice 5

On souhaite obtenir un circuit dit de ≪ compteur en anneau ≫ ou ≪ chenillard ≫ synchrone qui donne la séquence en binaire naturel sur 4 bits suivante :

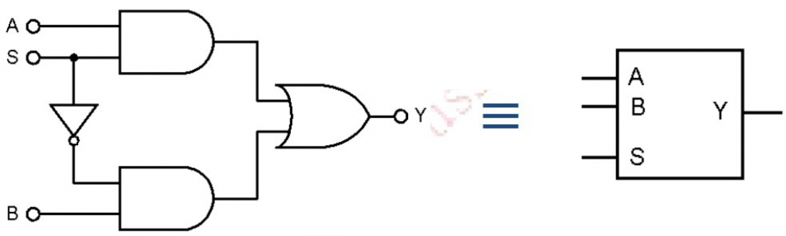
0000 1000 1100 1110 1111 0111 0011 0001 0000 . . .

Déduire de la séquence la table de vérité de ce circuit puis montrer que le schéma logique de ce circuit peut être simplifié sous la forme suivante où l'on précisera la fonction logique combinatoire G.



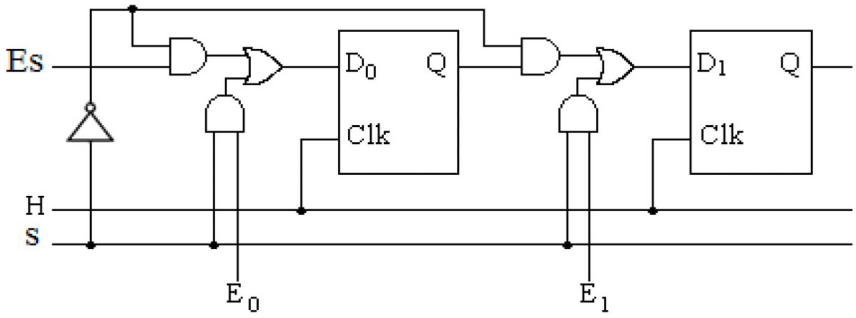
Exercice 6

Soit le schéma suivant



1. Donner l'équation de Y. Si $S = 0$, donner Y. Si $S = 1$ donner Y. Quelle est la fonction réalisée par ce circuit ?

Soit le schéma suivant



2. Donner les équations de $D0$ et $D1$.

3. Simplifier le circuit si $S = 0$ et $S = 1$. Quel type de circuits séquentiels reconnait-on dans les deux cas ? Si $S = 0$ et avec un schéma incluant trois bascules, donner un chronogramme du circuit avec le signal $ES = (110)_2$ et le signal $ES = (101)_2$. A REVOIR!!!!!!!!!!!!!!!! DONNER directement le chronogramme.

On souhaite réaliser un registre à décalage sur 4 bits à entrées parallèles ou série avec une option, commandée par un signal S, de chargement par entrées parallèles.

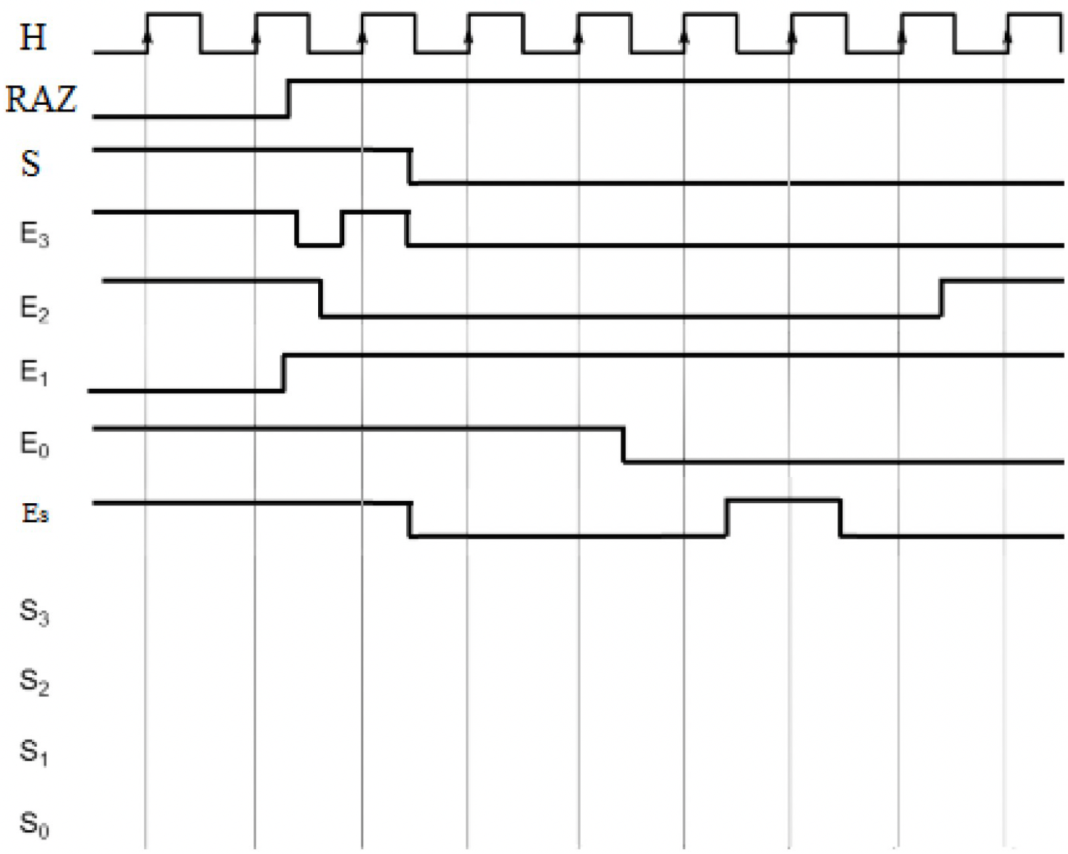
En d'autres termes :

- Si $S = 0$ l'entrée parallèle est désactivée et l'entrée série est activée. Le circuit fonctionne en mode registre à décalage.

- Si $S = 1$ l'entrée parallèle est activée et l'entrée série est désactivée. Le circuit fonctionne en mode chargement (ou mémoire).

4. Donner le schéma d'un tel circuit à l'aide de la représentation symbolique du circuit étudié à la question 1.

5. Compléter le chronogramme suivant : (on pourra s'aider d'une table de vérité)



Remarques : les signaux $E_{i=1,2,3,4}$ représentent les entrées parallèles du circuit, le signal ES représente l'entrée série, le signal S est le signal de commande et les signaux $S_{i=1,2,3,4}$ représentent les sorties de chaque bascules. Le signal RAZ est commun à toutes les bascules et est tel que $Q = 0$ si $RAZ = 0$ et la bascule fonctionne normalement si $RAZ = 1$.

Exercice 7

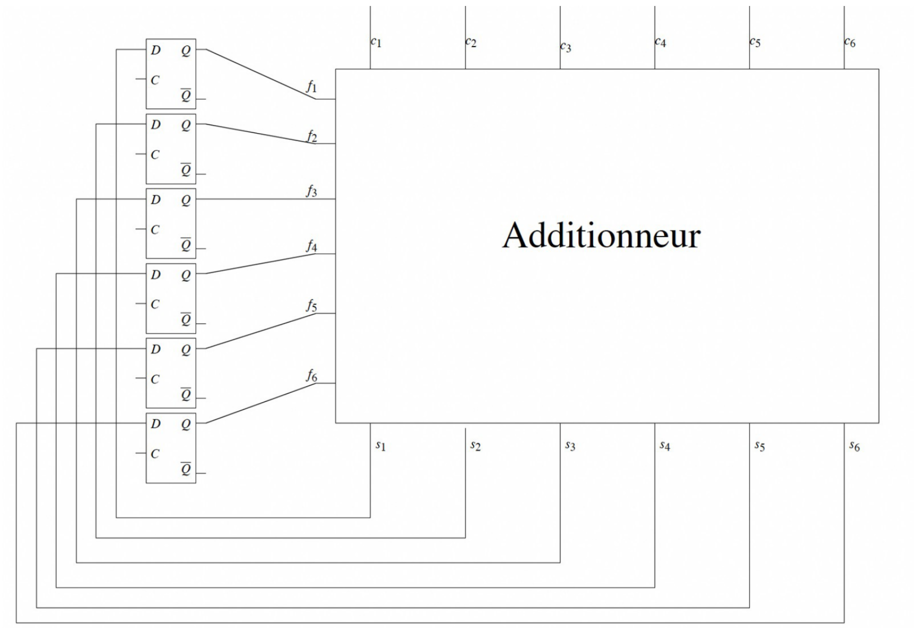
On peut voir la multiplication de deux entiers décimaux comme une suite d'additions simples par un nombre « décalé » correspondant aux unité, dizaine, centaine, etc. Par exemple, $137 \times 428 = 8 \times 137 + 20 \times 137 + 400 \times 137 = 8 \times 137 + 2 \times 1370 + 4 \times 13700$.

1. En suivant cet exemple, détailler la multiplication de deux nombres de 3 bits, par exemple $A = (110)_2$ et $B = (101)_2$, en une suite d'additions avec décalage. Vous pouvez également effectuer la vérification avec les équivalents décimaux.

2. Afin d'effectuer un codage complet, combien faut il de bits pour coder la multiplication de deux nombres de 3 bits chacun. Y aura t'il une retenue finale à gérer ?

3. Proposer un circuit permettant de réaliser la multiplication d'un nombre A sur 6 bits par un nombre b d'un bit.

4. On considère un additionneur prenant en entrée deux nombres binaires C et F sur 6 bits chacun et calculant en sortie la somme $S = C+F$. On pose $C = (010111)_2$ pour un premier front montant d'horloge (avec l'hypothèse $F = (000000)_2$) et $C = (001101)_2$ pour un deuxième front montant. Quelle opération est réalisée par le circuit suivant ? (Tous les signaux C des bascules D sont reliés au signal d'horloge, il s'agit bien d'un circuit synchrone).

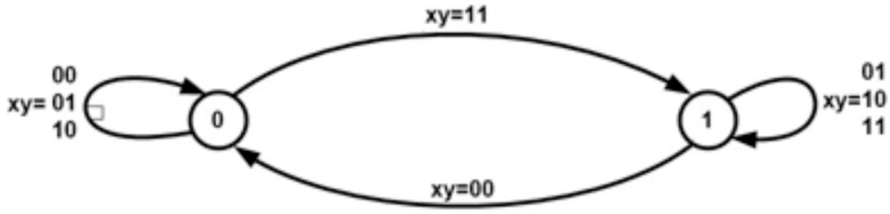


5. A l'aide des questions précédentes, proposer le circuit d'un multiplicateur d'entiers sur 3 bits (avec résultat sur 6 bits) à l'aide d'un registre à décalages sur 6 bits, d'un additionneur 6 bits et d'éventuelles portes logiques combinatoires et/ou séquentielles. On pourra raisonner avec les signaux $A = (110)_2$ et $B = (101)_2$ étudié lors de l'exercice précédent.

6. Donner le nombre de cycles nécessaires à l'exécution d'une multiplication. Pourrait-on améliorer ce résultat ? Que ce serait-il passé si nous avions souhaité réaliser ce circuit entièrement en logique combinatoire ?

Exercice 8

Soit le diagramme d'état suivant :



Réaliser le circuit séquentiel permettant la réalisation de ce diagramme à l'aide d'une bascule D puis d'une bascule JK.

Exercice 9

On cherche à fabriquer un circuit synchrone de détection d'une séquence ≪ 11 ≫ avec des bascules D. Plus précisément, ce circuit comporte une entrée In et une sortie Out. Lorsque la séquence ≪ 11 ≫ est détectée sur l'entrée, la sortie passe à ≪ 1 ≫ et reste à ≪ 1 ≫ jusqu'à ce que $In = 0$. Pour tout les autres cas, on a $Out = 0$.

1. Donner le diagramme d'état d'un tel circuit (sous forme de machine de Moore) en nommant les i états par la lettre Si.

2. A partir du diagramme d'état, donner la table d'état en identifiant les états par des symboles. Une table d'état est essentiellement une table de vérité, dans laquelle certaines des entrées sont l'état actuel, et les sorties comprennent l'état suivant, en même temps que les autres sorties.

3. On assigne le code binaire suivant aux états : $S0 = (00)_2$; $S1 = (01)_2$ et $S2 = (10)_2$. Chaque bit représente une bascule. Réécrire la table d'état complète en remplaçant chaque état par son code binaire puis, en déduire les équations des entrées et des sorties du système.

4. Donner le circuit ainsi obtenu.

5. Recommencer à partir de la question 3 mais en assignant le code binaire suivant aux états : $S0 = (00)_2$; $S1 = (01)_2$ et $S2 = (11)_2$. Conclure.