

TP d'Electronique Numérique

FPGA, Langage VHDL et logiciel Quartus

Déroulement des TP

- 6 séances (4 heures par séances)
- Pas de comptes-rendus (mais n'hésitez pas à prendre des notes !!!)
- Contrôle Continu de TP en séance 3 et en séance 5 (environ 30 minutes)
- Examen de TP individuel de deux heures en séance 6 (modalités)

VHDL

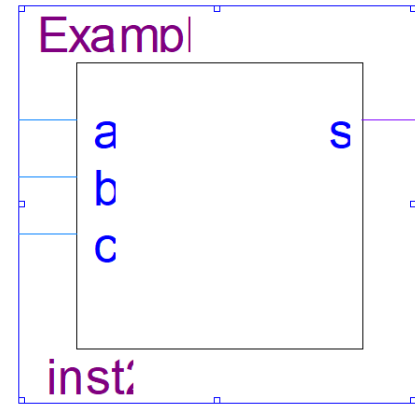
- VHSIC Hardware Description Language
 - Very High Speed Integrated Circuits
- Le mot important est : Description Hardware
- Le mot à bannir est : Programmation (c'est-à-dire description software)
- Utilisation depuis les années 1980

Conception d'une description VHDL

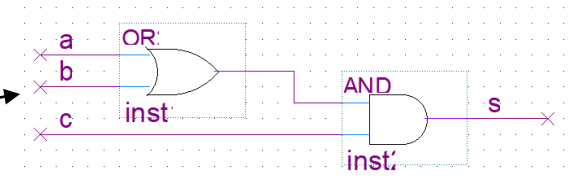
```
1  LIBRARY ieee;  
2  USE ieee.std_logic_1164.all;  
3  USE ieee.numeric_std.all;  
4  
5  ENTITY Example IS  
6  PORT (  
7      a : IN STD_LOGIC;  
8      b : IN STD_LOGIC;  
9      c : IN STD_LOGIC;  
10     s : OUT STD_LOGIC  
11 );  
12 END Example;  
13  
14 ARCHITECTURE archi OF Example IS  
15 BEGIN  
16     PROCESS (a,b,c)  
17     BEGIN  
18  
19         s <= (a OR b) AND c;  
20  
21     END PROCESS;  
22 END archi;
```

Utilisation de bibliothèques

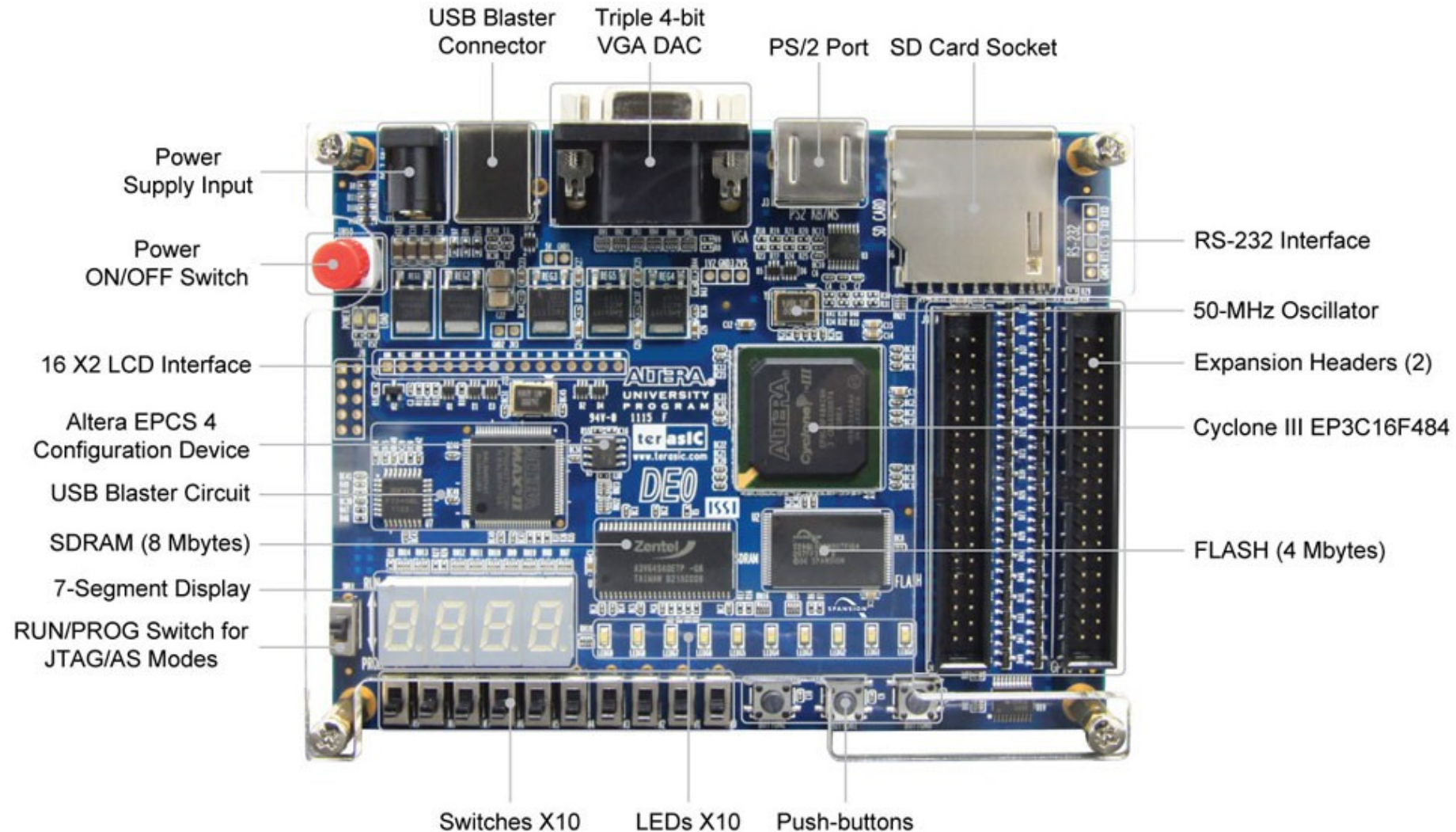
ENTITY
Création d'un « bloc »



ARCHITECTURE
« Câblage » de portes logiques



La carte d'essai DE0 – FPGA Altera



Le logiciel Quartus - A vous de jouer !

